

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

【特許請求の範囲】

【請求項1】 金属又は半導体素子からなる電子供給層と、前記電子供給層上に形成された絶縁体層と、前記絶縁体層上に形成された金属薄膜電極と有し、前記電子供給層と前記金属薄膜電極との間に電圧を印加し前記金属薄膜電極の表面から真空中に電子を放出させる電子放出素子であって、

前記金属薄膜電極と接する前記絶縁体層の表面層を平坦化したことを特徴とする電子放出素子。

【請求項2】 前記絶縁体層は、前記絶縁体層の表面層が前記絶縁体層の表面層以外の部分に比してガス圧又は成膜レートを低くした条件のスパッタリングで成膜された50nm以上の膜厚を有する誘電体層であることを特徴とする請求項1記載の電子放出素子。

【請求項3】 前記絶縁体層は、前記絶縁体層の表面層以外の部分が、希ガスを主成分とする混合ガスを用いてガス圧2~100mTorr, 成膜レート0.1~100nm/minの条件でスパッタリングして成膜され、前記絶縁体層の前記表面層が、希ガスを主成分とする混合ガスを用いてガス圧0.1~1mTorr, 成膜レート0.1~100nm/minの条件でスパッタリングして成膜された50nm以上の膜厚を有する誘電体層であることを特徴とする請求項1記載の電子放出素子。

【請求項4】 前記絶縁体層は、前記絶縁体層の前記表面層以外の部分が、希ガスを主成分とする混合ガスを用いてガス圧0.1~100mTorr, 成膜レート20~100nm/minの条件でスパッタリングして成膜され、前記絶縁体層の前記表面層が、希ガスを主成分とする混合ガスを用いてガス圧0.1~100mTorr, 成膜レート0.1~10nm/minの条件でスパッタリングして成膜された50nm以上の膜厚を有する誘電体層であることを特徴とする請求項1記載の電子放出素子。

【請求項5】 前記希ガスはキセノン又はクリプトンを含むことを特徴とする請求項3又は4記載の電子放出素子。

【請求項6】 前記金属薄膜電極と接する前記絶縁体層の表面層の電気抵抗率を、前記絶縁体層の表面層以外の部分の電気抵抗率に比して高くしたことを特徴とする請求項1乃至5のいずれかに記載の電子放出素子。

【請求項7】 前記金属薄膜電極と接する前記絶縁体層の表面層は、スパッタエッティングにより平坦化されていることを特徴とする請求項1乃至6のいずれかに記載の電子放出素子。

【請求項8】 前記電子供給層はケイ素からなり、前記絶縁体層は酸化ケイ素からなることを特徴とする請求項1乃至7のいずれかに記載の電子放出素子。

【請求項9】 真空空間を挟み対抗する一対の第1及び第2基板と、前記第1基板内面に設けられた複数の電子放出素子と、前記第2基板内面に設けられたコレクタ電

極と、前記コレクタ電極上に形成された蛍光体層と、からなる電子放出表示装置であって、前記電子放出素子の各々は、金属又は半導体素子からなる電子供給層と、前記電子供給層上に形成された絶縁体層と、前記絶縁体層上に形成された金属薄膜電極とからなり、前記金属薄膜電極と接する前記絶縁体層の表面層が平坦化されていることを特徴とする電子放出表示装置。

【発明の詳細な説明】

10 【0001】

【発明の属する技術分野】 本発明は、MIM/MIS電子源のように、基板上の任意のパターン領域から電子放出を可能にする電子放出素子及びこれを用いた表示装置に関する。

【0002】

【従来の技術】 MIM電子源は、金属-絶縁体-金属(Metal-Insulator-Metal)という3層構造から構成される電子源であり、また、MIS電子源は、金属-絶縁体-半導体(Metal-Insulator-Semiconductor)という3層構造から構成される電子源である。これらの電子源の動作原理は、量子力学上のトンネル効果を利用したものである。すなわち、フェルミレベルの異なる2種類の金属同士または金属と半導体とを絶縁層を挟んで接合しこの絶縁層をトンネルして通り抜けた電子を外部に放出させるものである。

【0003】 現在、提案されているMIM/MIS電子源の構造は、基板上に金属-絶縁体-金属という3層のMIM構造のものが主流である。このMIM構造の電子源として、例えば基板上に、アルミニウム-酸化アルミニウム-金を順に積層させて形成した構造の素子が提案されている。

【0004】

【発明が解決しようとする課題】 しかしながら、従来のMIM/MIS電子源は、放出電流が $1 \times 10^{-5} \text{ A}/\text{cm}^2$ 程度、放出電流効率(放出電流/ダイオード電流)が 1×10^{-3} 程度というように、電子放出特性が不十分であり、また、製造プロセスが非常にむずかしいという問題があり、実用化には至っていない。このようなMIM/MIS電子源の素子としての性能に大きく影響を与える要因のひとつは、絶縁層の品質及び膜厚である。絶縁層は、トンネル効果が生じる程度の薄膜にする必要があり、通常は、数nm程度の厚みしかもたない。このため、ピンホールなどが発生しやすく、高品質の絶縁膜を形成するのが困難である。また、絶縁層と金属層との界面状態も、MIM/MIS電子源の素子としての性能に大きく影響を与える要因のひとつであり、絶縁体層の表面が荒れていると金属電極との接触が悪くなり、電子放出が不安定になる。本発明は、上記の問題に鑑みてなされたものであり、電子放出特性の向上した電子放出素子

及びこれを用いた電子放出表示装置を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明の第1の態様は、金属又は半導体素子からなる電子供給層と、電子供給層上に形成された絶縁体層と、絶縁体層上に形成された金属薄膜電極と有し、電子供給層と金属薄膜電極との間に電圧を印加し金属薄膜電極の表面から真空中に電子を放出させる電子放出素子であって、金属薄膜電極と接する絶縁体層の表面層を平坦化したものである。

【0006】本発明の第2の態様は、上記第1の態様において、絶縁体層を、絶縁体層の表面層が絶縁体層の表面層以外の部分に比してガス圧又は成膜レートを低くした条件のスパッタリングで成膜された50nm以上の膜厚を有する誘電体層としたものである。

【0007】本発明の第3の態様は、上記第1の態様において、絶縁体層を、絶縁体層の表面層以外の部分が、希ガスを主成分とする混合ガスを用いてガス圧2~100mTorr, 成膜レート0.1~100nm/minの条件でスパッタリングして成膜され、絶縁体層の前記表面層が、希ガスを主成分とする混合ガスを用いてガス圧0.1~1mTorr, 成膜レート0.1~100nm/minの条件でスパッタリングして成膜された50nm以上の膜厚を有する誘電体層としたものである。

【0008】本発明の第4の態様は、上記第1の態様において、絶縁体層を、絶縁体層の表面層以外の部分が、希ガスを主成分とする混合ガスを用いてガス圧0.1~100mTorr, 成膜レート20~100nm/minの条件でスパッタリングして成膜され、絶縁体層の前記表面層が、希ガスを主成分とする混合ガスを用いてガス圧0.1~100mTorr, 成膜レート0.1~10nm/minの条件でスパッタリングして成膜された50nm以上の膜厚を有する誘電体層としたものである。本発明の第5の態様は、上記第3~第4の態様において、希ガスはキセノン又はクリプトンを含むものである。

【0009】本発明の第6の態様は、上記第1~第5の態様において、金属薄膜電極と接する絶縁体層の表面層の電気抵抗率を、絶縁体層の表面層以外の部分の電気抵抗率に比して高くしたものである。本発明の第7の態様は、上記第1~第6の態様において、金属薄膜電極と接する絶縁体層の表面層がスパッタエッチングにより平坦化されているものである。本発明の第8の態様は、上記第1~第7の態様において、電子供給層はケイ素からなり、絶縁体層は酸化ケイ素からなるものである。

【0010】本発明の第9の態様は、真空間を挟み対抗する一対の第1及び第2基板と、前記第1基板内面に設けられた複数の電子放出素子と、第2基板内面に設けられたコレクタ電極と、コレクタ電極上に形成された蛍光体層と、からなる電子放出表示装置であって、電子放

出素子の各々は、金属又は半導体素子からなる電子供給層と、電子供給層上に形成された絶縁体層と、前記絶縁体層上に形成された金属薄膜電極と、金属薄膜電極と接する絶縁体層の表面層が平坦化されているものである。

【0011】

【作用】本発明は、金属又は半導体-絶縁体-金属の3層構造の電子放出素子において、電子放出側の金属薄膜電極と接する絶縁体層の表面層を平坦化することにより、絶縁体層と金属薄膜電極間の電気的接触が良好となり、絶縁体層にかかる電界が均一となるため電子放出特性が安定することとなる。上記絶縁体層の表面層の平坦化は、例えば、絶縁体層の表面層を絶縁体層の表面層以外の部分に比してガス圧又は成膜レートを低くした条件のスパッタリングで成膜することにより、達成される。

【0012】

【発明の実施の形態】以下、本発明の実施例を図面を参考しつつ説明する。図1は、本発明の実施形態の電子放出素子の構造を示す断面図である。図に示すように電子放出素子は、オーミック電極11を備えた基板10上に順に形成された金属又は半導体からなる電子供給層12、絶縁体層13、及び真空中間に面する金属薄膜電極15からなり、電子供給層12と金属薄膜電極15間に電界(電圧)を印加し電子を金属薄膜電極15の表面から真空中に放出する素子である。ここで、金属薄膜電極15と接する絶縁体層13の5nm程度の膜厚の表面層14は、平坦化処理されている。具体的には、後述するように絶縁体層13の表面層14を絶縁体層13の表面層14以外の部分に比してガス圧又は成膜レートを低くした条件のスパッタリングで成膜することにより、達成される。この平坦化された表面層14は、絶縁体層13の表面層14以外の部分に比して電気抵抗率が高く(高電気抵抗)かつ緻密な層となっている。

【0013】この電子放出素子は、表面の金属薄膜電極15を正電位Vdにし裏面のオーミック電極11を接地電位としたダイオードである。オーミック電極11と金属薄膜電極15との間に電圧Vdを印加し電子供給層12に電子を注入すると、ダイオード電流Idが流れる。絶縁体層13は、高抵抗であるので、印加電界の大部分は絶縁体層13にかかる。すると、電子は、金属薄膜電極15側に向けて絶縁体層13内を移動する。金属薄膜電極15付近に達した電子は、そこで強電界により一部は金属薄膜電極15をトンネルし、外部の真空中に放出される。このトンネル効果によって金属薄膜電極15から放出された電子e(放出電流Ie)は、対向したコレクタ電極(透明電極)2に印加された高電圧Vcによって加速され、コレクタ電極(透明電極)2に集められる。コレクタ電極2には蛍光体3が塗布されており、蛍光体は対応する可視光を発光する。

【0014】上記のオーミック電極11としては、A1、Au、Ptなどの低抵抗の金属材料が用いられる。

電子供給層12としては、ケイ素(Si)、ゲルマニウム(Ge)、炭化シリコン(SiC)、ヒ化ガリウム(GaAs)、リン化インジウム(InP)、セレン化カドミウム(CdSe)など、IV族、III-V族、II-VI族などの単体半導体及び化合物半導体が用いられる。

【0015】又は、電子供給層の材料としてAl, Au, Ag, Cuなどの金属でも有効であるが、Sc, Ti, Cr, Mn, Fe, Co, Ni, Zn, Ga, Y, Zr, Nb, Mo, Tc, Ru, Rh, Pd, Cd, Ln, Sn, Ta, W, Re, Os, Ir, Pt, Tl, Pb, La, Ce, Pr, Nd, Nd, Pm, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Luなども用いられ得る。

【0016】絶縁体層の誘電体材料としては酸化珪素SiO_x、(xは原子比を示す)が特に有効であるが、Li₂O_x, Li_{1.5}O_x, Na₂O_x, KO_x, RbO_x, CsO_x, BeO_x, MgO_x, MgN_x, CaO_x, CaN_x, SrO_x, BaO_x, ScO_x, YO_x, YN_x, LaO_x, LaN_x, CeO_x, PrO_x, NdO_x, SmO_x, EuO_x, GdO_x, TbO_x, DyO_x, HoO_x, ErO_x, TmO_x, YbO_x, LuO_x, TiO_x, TiN_x, ZrO_x, ZrN_x, HfO_x, HfN_x, ThO_x, VO_x, VN_x, NbO_x, NbN_x, TaO_x, TaN_x, CrO_x, CrN_x, MoO_x, MoN_x, WO_x, WN_x, MnO_x, ReO_x, FeO_x, FeN_x, RuO_x, OsO_x, CoO_x, RhO_x, IrO_x, NiO_x, PdO_x, PtO_x, CuO_x, CuN_x, AgO_x, AuO_x, ZnO_x, CdO_x, HgO_x, BO_x, BN_x, AlO_x, AlN_x, GaO_x, GaN_x, InO_x, TiO_x, TiN_x, SiN_x, GeO_x, SnO_x, PbO_x, PO_x, PN_x, AsO_x, SbO_x, SeO_x, TeO_xなどの金属酸化物又は金属窒化物でもよい。

【0017】また、LiAlO₂, Li₂SiO₃, Li₂TiO₃, Na₂Al₂O₅, NaFeO₂, Na₄SiO₄, K₂SiO₃, K₂TiO₃, K₂WO₄, Rb₂CrO₄, Cs₂CrO₄, MgAl₂O₄, MgFe₂O₄, MgTiO₃, CaTiO₃, CaWO₄, CaZrO₃, SrFe₁₂O₁₉, SrTiO₃, SrZrO₃, BaAl₂O₄, BaFe₁₂O₁₉, BaTiO₃, Y₃Al₅O₁₂, Y₃Fe₅O₁₂, LaFeO₃, La₂Fe₅O₁₂, La₂Ti₂O₇, CeSnO₄, CeTiO₄, Sm₂Fe₅O₁₂, EuFeO₃, Eu₃Fe₅O₁₂, GdFeO₃, Gd₃Fe₅O₁₂, DyFeO₃, Dy₃Fe₅O₁₂, HoFeO₃, Ho₃Fe₅O₁₂, ErFeO₃, Er₃Fe₅O₁₂, Tm₃Fe₅O₁₂, LuFeO₃, Lu₃Fe₅O₁₂, NiTiO₃, Al₂TiO₃, FeTiO₃, BaZrO₃, LiZrO₃, MgZrO₃, HfTi

O₄, NH₄VO₃, AgVO₃, LiVO₃, BaN₂O₆, NaNbO₃, SrNb₂O₆, KTaO₃, NaTaO₃, SrTa₂O₆, CuCr₂O₄, Ag₂CrO₄, BaCrO₄, K₂MoO₄, Na₂MoO₄, NiMoO₄, BaWO₄, Na₂WO₄, SrWO₄, MnCr₂O₄, MnFe₂O₄, MnTiO₃, MnWO₄, CoFe₂O₄, ZnFe₂O₄, FeWO₄, CoMoO₄, CoTiO₃, CoWO₄, NiFe₂O₄, NiWO₄, CuFe₂O₄, CuMoO₄, CuTiO₃, CuWO₄, Ag₂MoO₄, Ag₂WO₄, ZnAl₂O₄, ZnMoO₄, ZnWO₄, CdSnO₃, CdTiO₃, CdMoO₄, CdWO₄, NaAl₂O₂, MgAl₂O₄, SrAl₂O₄, Gd₃Ga₅O₁₂, InFeO₃, MgIn₂O₄, Al₂TiO₅, FeTiO₃, MgTiO₃, Na₂SiO₃, CaSiO₃, ZrSiO₄, K₂GeO₃, Li₂GeO₃, Na₂GeO₃, Bi₂Sn₃O₉, MgSnO₃, SrSnO₃, PbSiO₃, PbMoO₄, PbTiO₃, SnO₂-Sb₂O₃, CuSeO₄, Na₂SeO₃, ZnSeO₃, K₂TeO₃, K₂TeO₄, Na₂TeO₃, Na₂TeO₄などの金属複合酸化物、FeS, Al₂S₃, MgS, ZnSなどの硫化物、LiF, MgF₂, SmF₃などのフッ化物、HgCl₁, FeCl₂, CrCl₃などの塩化物、AgBr, CuBr, MnBr₂などの臭化物、PbI₂, CuI, FeI₂などのヨウ化物、又は、SiAlONなどの金属酸化窒化物でも有効である。さらに、絶縁体層の誘電体材料としてダイヤモンド、フラーレン(C_{2n})などの炭素、或いは、Al₄C₃, B₄C, CaC₂, Cr₃C₂, Mo₂C, MoC, NbC, SiC, TaC, TiC, VC, W₂C, WC, ZrCなどの金属炭化物も有効である。なお、フラーレン(C_{2n})は炭素原子だけからなり、C₆₀に代表される球面篠状分子でC₃₂～C₉₆₀などがあり、また、上式中、O_x, N_xのxは原子比を表す。以下、同様である。

【0018】電子放出側の金属薄膜電極材料としてはPt, Au, W, Ru, Irなどの金属が有効であるが、Al, Sc, Ti, V, Cr, Mn, Fe, Co, Ni, Cu, Zn, Ga, Y, Zr, Nb, Mo, Tc, Rh, Pd, Ag, Cd, Ln, Sn, Ta, Re, Os, Tl, Pb, La, Ce, Pr, Nd, Pm, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Luなども用いられ得る。

【0019】素子基板10の材質はガラスの他に、Al₂O₃, Si₃N₄, BN等のセラミックスでも良い。またこれらのオーミック電極、電子供給層、絶縁体層、金属薄膜電極の製法としては、スパッタリング法が特に有効であるが、真空蒸着法、CVD(chemical vapor deposition)法、レーザアブレイション法、MBE(mol

ecular beam epitaxy) 法、イオンビームスパッタリング法でも有効である。

【0020】(実施例) 具体的に電子放出素子を作製してその特性を調べた。ガラス基板上に、Alをスパッタリングして膜厚300nmのオーミック電極を形成し、次いでオーミック電極上にシリコン(Si)をスパッタリングして膜厚5000nmの電子供給層を形成して、多数のかかるシリコン基板を用意した。次に、各シリコン基板の電子供給層上に2酸化ケイ素(SiO₂)をスパッタリングし、0~500nmの範囲で膜厚を変化させた絶縁体層を成膜して、絶縁体層の膜厚の異なる基板を多数用意した。

【0021】この絶縁体層は、Ar、Kr、Xeあるいはそれらの混合ガス、又はこれらの希ガスを主成分とし、O₂、N₂、H₂などを混合した混合ガスを用い、先ずガス圧2~100mTorr、成膜レート0.1~100nm/min好ましくは0.5~100nm/minのスパッタ条件で成膜され、次いで、最後の5nm程度の層(表面層)を成膜レートは同じでガス圧を0.1~1mTorrに変えたスパッタ条件で成膜していく。このように成膜されたSiO₂絶縁体層の表面層をSEMで観察したところ、平坦化されていることが確認された。また、このように成膜されたSiO₂絶縁体層の表面層とこの表面層以外のSiO₂絶縁体層の電気抵抗率を各々測定したところ、前者は $1 \times 10^{15} \Omega \cdot \text{cm}$ であるのに対し、後者は $1 \times 10^{13} \Omega \cdot \text{cm}$ であった。すなわち、SiO₂絶縁体層の表面層の電気抵抗率は、この表面層以外のSiO₂絶縁体層の電気抵抗率に比して高い値となっていることがわかる。

【0022】尚、上記のようにガス圧を変化させる代わりに成膜レートを変化させても同様な作用、効果が得られる。すなわち、絶縁体層を、Ar、Kr、Xeあるいはそれらの混合ガス、又はこれらの希ガスを主成分とし、O₂、N₂、H₂などを混合した混合ガスを用い、先ずガス圧0.1~100mTorr、成膜レート20~100nm/minのスパッタ条件で成膜し、次いで、最後の5nm程度をガス圧は同じで成膜レートを0.1~10nm/minに変えたスパッタ条件で成膜してもよい。

【0023】上記の絶縁体層の成膜において、スパッタガスにArを用いると一応SiO₂絶縁体層の表面層が平坦化されるが、スパッタガスの希ガスとしてXe(キセノン)又はKr(クリアトン)を一部又は全部用いることにより、表面層をより一層平坦化できる。さらに、上記のようにSiO₂絶縁体層を成膜後、SiO₂絶縁体層の表面をスパッタエッティング(逆スパッタ)処理することにより、さらに平坦化することができる。このスパッタエッティングは、Ar又はXe又はKrガスを用い、ガス圧0.1~100mTorr、50~1000Wのパワーで1~60分間行う。

【0024】スパッタリング装置のターゲットやスパッタ条件を適宜変えることにより、絶縁体層の単層又は多層、アモルファス又は結晶相、粒径、原子比が制御される。上記のように成膜したSiO₂絶縁体層について、X線回折法で分析したところ、結晶部分の回折強度I_cとアモルファス相によるハロー強度I_aとが観測された。このことから、絶縁体層のSiO₂は、多結晶相及び/又はアモルファス相であると推定できる。最後に、各基板の絶縁体層上にPtをスパッタリングして、膜厚10nmの金属薄膜電極を形成して、多数の素子基板を作製した。

【0025】一方、ガラス基板上に透明導電膜からなるコレクタ電極、蛍光体層を順に積層形成して透明基板を作製した。これら素子基板及び透明基板を、金属薄膜電極及びコレクタ電極が対向するように平行に10nm程度離間してスペーサにより保持し、間隙を10⁻⁷Torr又は10⁻⁵Paの真空になし、電子放出素子を組立て、作製した。その後、多数の得られた素子について各SiO₂層(絶縁体層)の膜厚に対応したダイオード電流I_d及び放出電流I_eを測定した。

【0026】図2並びに図3は、作製した電子放出素子のオーミック電極を接地電位としてオーミック電極と金属薄膜電極の間に電圧V_dを0~200Vの範囲で印加したときの各SiO₂膜厚における、最大の放出電流I_eの関係並びに最大の電子放出効率(I_e/I_d)の関係を示す。図2並びに図3から明らかのように、膜厚50nmから飽和するが、SiO₂層の膜厚300~500nmの素子で最大放出電流 $1 \times 10^{-5} \text{ A/cm}^2$ 、最大電子放出効率 1×10^{-1} 程度が得られた。この結果より、200V以下の電界を加えることにより、 $1 \times 10^{-6} \text{ A/cm}^2$ 以上の放出電流、 1×10^{-3} 以上の電子放出効率が、膜厚50nm以上好ましくは、200~500nmのSiO₂誘電体層を有する素子から得られることが判明した。

【0027】また、蛍光体を塗布したコレクタ電極及び金属薄膜電極の間に約4kVの電圧を印加した状態では、SiO₂層の膜厚50nm以上の素子で金属薄膜電極に対応する形の均一な蛍光パターンが観測された。このことは、多結晶又はアモルファスSiO₂層からの電子放出が均一であり、直線性の高いことを示し、電子放出ダイオードとして、赤外線又は可視光又は紫外線の電磁波を放出する発光ダイオード又はレーザダイオードとして動作可能であることを示している。

【0028】スパッタリングで成膜した絶縁体層の表面をSEMで観察したところ、CVDで成膜したものとは異なり、20nm程度の粒塊からなることを特徴としていることが判明した。50nm以上の膜厚を有しながらトンネル電流が流れるという特異な現象はこの特徴に起因すると考えられる。すなわち、SiO₂は、本来絶縁体であるが、粒塊あるいはその近傍に発生しやすい結晶

欠陥や不純物などによりポテンシャルの低いバンドが多数現れる。電子は、このポテンシャルの低いバンドを介し次々にトンネリングし、結果として50nm以上の膜厚をもトンネルするのであると推定される(図4参照)。

【0029】また、上記のようにSiO₂誘電体層の表面層を平坦化処理した電子放出素子とSiO₂誘電体層の表面層を平坦化処理しなかった電子放出素子について、放出電流I_eを測定した。図5は、作製した電子放出素子のオーミック電極を接地電位としてオーミック電極と金属薄膜電極の間に電圧V_dを0~100Vの範囲で印加したときの放出電流I_eの特性を示す。図中、Aは、SiO₂誘電体層の表面層を平坦化処理した電子放出素子の放出電流特性を示し、Bは、SiO₂誘電体層の表面層を平坦化処理しなかった電子放出素子の放出電流特性を示す。図から明らかなように平坦化した場合には印加電圧V_dが50Vを越える辺りから電子を放出し始め70V前後で放出電流I_eが2×10⁻⁴A/cm²に達するのに対し、平坦化しなかった場合には電子を放出し始めるのが70Vを越えた辺りで、放出電流I_eが2×10⁻⁴A/cm²に達するのが90Vを越えた辺りとなる。このようにSiO₂誘電体層の表面層を平坦化した場合には駆動電圧が低下する。

【0030】また、上記のようにSiO₂誘電体層の表面層を平坦化処理した電子放出素子とSiO₂誘電体層の表面層を平坦化処理しなかった電子放出素子について、放出電流I_eの時間変動を測定した。図6(a)は、SiO₂誘電体層の表面層を平坦化処理した電子放出素子の放出電流の時間変動特性を示し、図6(b)は、SiO₂誘電体層の表面層を平坦化処理しなかった電子放出素子の放出電流の時間変動特性を示す。図から明らかなようにSiO₂誘電体層の表面層を平坦化処理すると放電電流の時間変動が抑制され、放出電流値も安定する。

【0031】図7は、図1の電子放出素子を用いた電子放出表示装置を示す。図において、透明基板(表示面側となる全面板)1及び素子基板(背面板)10からなる一対の基板は、真空空間4を挟み互いに対向して配置されている。透明基板1の内面(背面板と対向する面)には、例えばインジウム錫酸化物(ITO)、酸化錫(SnO)、酸化亜鉛(ZnO)などからなる複数の帯状のコレクタ電極(透明電極)2が互いに平行に隣接配置されるように形成されている。コレクタ電極2上には、カラーデイスプレイパネルとするために赤、緑、青の蛍光体層3R、3G、3Bがそれぞれ形成されている。尚、コレクタ電極2は、パターンニングせずにベタに形成されていてもよい。

【0032】一方、素子基板10の内面(前面板と対向する面)には、インシュレータ層18を介して複数の帯状のオーミック電極11が互いに平行に隣接配置される

ように形成されている。このインシュレータ層18は、SiO₂、SiN_x、Al₂O₃、AlNなどの絶縁体層からなり、基板10からの素子への影響(アルカリ成分などの不純物の溶出や、基板面の凹凸など)を防ぐ保護層として作用する。オーミック電極11上には、電子供給層12、絶縁体層13、金属薄膜電極15が順に積層形成されて複数の電子放出素子Sが形成されている。絶縁体層13上には、オーミック電極11の伸張する方向と直交する方向に伸張する複数の帯状のバス電極16が互いに平行に形成されている。このバス電極16は、バス電極16の伸張する方向に沿って隣接する各電子放出素子の金属薄膜電極15と電気的に接続されている。金属薄膜電極15、バス電極16は、絶縁体層17で被覆されている。絶縁体層17には、電子放出領域を区画するように金属薄膜電極15の表面を真空空間4に対して露出させるための複数の開口が設けられている。金属薄膜電極15と接する絶縁体層13の表面層は、前述のように平坦化処理されている(図示せず)。

【0033】オーミック電極11の材料としては、Au、Pt、Al、Wなどの一般にICの配線に用いられる材料で、各素子にはほぼ同電流を供給する均一な厚さである。電子供給層12の材質は、シリコン(Si)が挙げられるが、本発明の電子供給層12は、シリコンに限られたものではなく他の半導体または金属でもよく、アモルファス、多結晶、単結晶のいずれでもよい。

【0034】金属薄膜電極15の材質は、電子放出の原理から仕事関数の小さい材料で、薄い程よい。電子放出効率を高めるためには、周期律表のI族、II族の金属、例えば、Cs、Rb、Li、Sr、Ba、Ca、Mg及びそれらの合金などが好ましい。また、極薄化するためには、導電性が高く化学的に安定な金属、例えば、Au、Pt、Lu、Ag、Cu及びそれらの合金などが望ましい。さらに、これらの金属に、上記仕事関数の小さい金属を積層又はドープ(拡散)させてもよい。バス電極16の材料としては、Au、Pt、Al、Wなどの一般にICの配線に用いられる材料で、各素子にはほぼ同電位を供給するに足る厚さで、例えば0.1~50nm程度が適当である。また、この表示装置の駆動方式としては、単純マトリクス方式又はアクティブマトリクス方式が適当である。さらに、本発明の電子放出素子は、画素バルブの発光源、電子顕微鏡の電子放出源、真空マイクロエレクトロニクス素子などの高速素子に応用でき、さらに面状又は点状の電子放出ダイオードとして、赤外線又は可視光又は紫外線の電磁波を放出する発光ダイオード又はレーザダイオードとして動作可能である。

【図面の簡単な説明】

【図1】本発明による電子放出素子の概略断面図である。

【図2】本発明による電子放出素子における電子放出電流のSiO₂層の膜厚依存性を示す図である。

11

【図3】本発明による電子放出素子における電子放出効率の SiO_2 層の膜厚依存性を示す図である。

【図4】本発明による電子放出素子のバンド構造を示す図である。

【図5】本発明による電子放出素子における印加電圧と放出電流の関係を示す図である。

【図6】本発明による電子放出素子における放出電流の時間変動特性を示す図である。

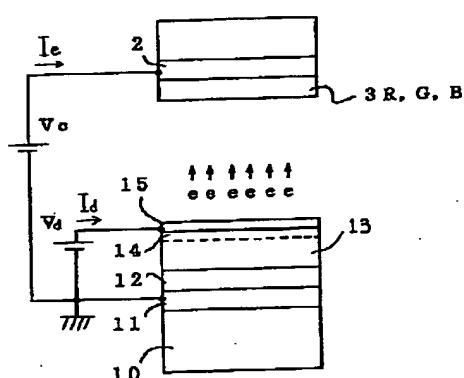
【図7】本発明の実施例による電子放出表示装置を示す概略斜視図である。

【符号の説明】

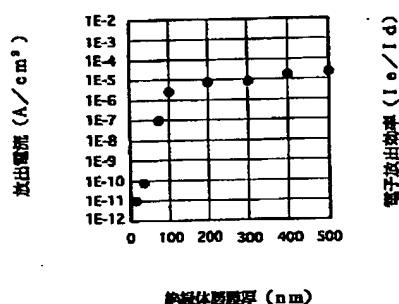
12

1 透明基板
2 コレクタ電極
3 R, 3 G, 3 B 融光体層
4 真空空間
10 素子基板
11 オーミック電極
12 電子供給層
13 絶縁体層
14 表面層
10 15 金属薄膜電極

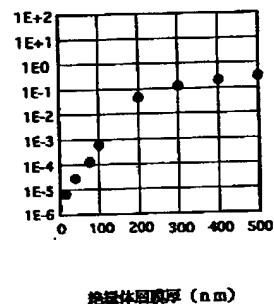
【図1】



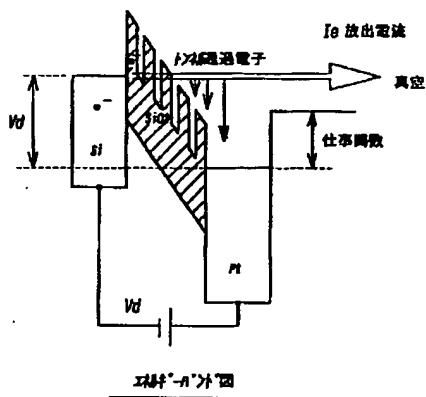
【図2】



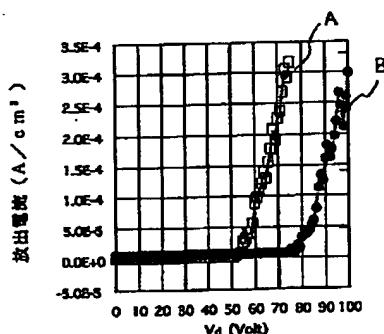
【図3】



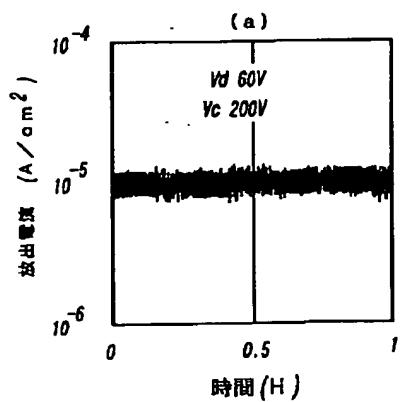
【図4】



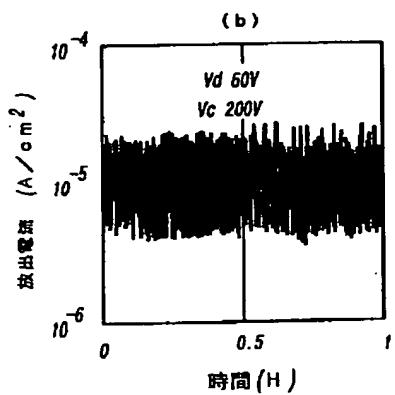
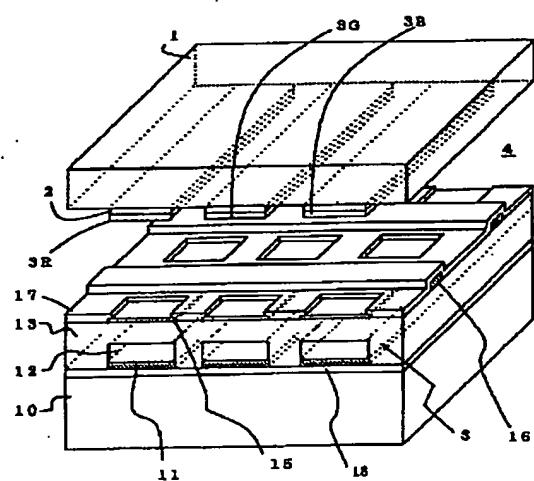
【図5】



【図6】



【図7】



CLIPPEDIMAGE= JP410312741A

PAT-NO: JP410312741A

DOCUMENT-IDENTIFIER: JP 10312741 A

TITLE: ELECTRON EMITTING ELEMENT AND DISPLAY APPARATUS
USING THEREOF

PUBN-DATE: November 24, 1998

INVENTOR-INFORMATION:

NAME

NEGISHI, NOBUYASU

YOSHIKAWA, TAKAMASA

ITO, HIROSHI

ASSIGNEE-INFORMATION:

NAME

PIONEER ELECTRON CORP

COUNTRY

N/A

APPL-NO: JP09171003

APPL-DATE: June 12, 1997

INT-CL_(IPC): H01J001/30; H01J031/12

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an electron emitting element with improved electron emission property.

SOLUTION: This element comprises an electron supply layer made of a metal of a semiconductor element, an insulator layer 12 formed on the electron supply layer, and a metal thin film electrode 15 formed on the insulator layer 12 and electrons are emitted out of the surface of the metal thin film electrode 15 to vacuum by applying voltage between the electron supplying layer and the metal thin, film electrode 15. In this case, the surface layer of the insulator layer 12 adjacent to the metal thin film electrode 15 is leveled. Moreover, regarding the insulator layer 12, the surface layer of the insulator layer 12 is made to be a dielectric layer with 50 nm or larger

thickness formed by sputtering in the condition of a lower gas pressure or a lower film forming rate than those for forming the part of the insulator layer 12 besides the surface layer.

COPYRIGHT: (C)1998, JPO